

# Tema 8. Excepcions i interrupcions

## Preguntes test

Joan Manuel Parcerisa



UNIVERSITAT POLITÈCNICA DE CATALUNYA  
BARCELONATECH  
Facultat d'Informàtica de Barcelona



# 20 Preguntes de Test

(dels exàmens 2016-2019)

# Veritat o Fals?

1. Si el bit EXL val 1, les interrupcions seran ignorades
2. L'excepció per accés no alineat a memòria pot ser inhibida a través del camp Interrupt Mask
3. Una excepció no pot ser atesa fins que la instrucció en curs hagi finalitzat.
4. Un accés a memòria mai canviarà l'estat de la taula de pàgines si es produeix un encert al TLB a una entrada amb el bit de validesa a 1.
5. La rutina RSE de tractament d'excepcions del MIPS segueix les regles de l'ABI que s'estableixen per programar les subrutines

# Veritat o Fals?

6. Al MIPS es detecta que un accés a memòria causa una fallada de pàgina consultant el bit V en el TLB
7. Si l'accés a dades d'una instrucció produeix un encert al TLB, però el bit V val 0, llavors la instrucció causarà una excepció de fallada de pàgina
8. Una mateixa instrucció pot causar durant la seva execució 2 fallades de pàgina
9. Una fallada al TLB no implica que hi hagi una fallada de pàgina
10. Quan hi ha una fallada de pàgina hi haurà un o dos accessos a disc depenent del valor del Dirty Bit de la pàgina a substituir

# Veritat o Fals?

11. A l'inici de la rutina genèrica de servei d'excepcions de MIPS (RSE) aquesta sols ha de salvar a la pila aquells registres segurs que es modifiquin durant l'execució de la RSE
12. Un programa en mode usuari pot copiar un registre qualsevol de la CPU al coprocessador CP0 per mitjà de la instrucció mtc0
13. En el MIPS, el camp IM (Interrupt Mask) del registre Status usat en la gestió de les interrupcions serveix per indicar les peticions d'interrupció que no han de ser ateses quan s'acabi l'execució de la instrucció actual
14. La primera vegada que s'escriu a una pàgina es genera una excepció, el tractament de la qual consisteix en escriure la pàgina modificada al disc
15. Quan cerquem la traducció d'un número de pàgina (VPN) al TLB, perquè hi hagi un encert de TLB cal trobar una entrada amb el mateix VPN i que tingui el bit de presència V=1

# Veritat o Fals?

16. Les escriptures del bit de Dirty del TLB segueixen una política d'escriptura immediata
17. En MIPS, una instrucció `lb` mai pot produir una excepció per accés no alineat a la dada
18. Les fallades de TLB en el MIPS provoquen una excepció i s'executa la RSE genérica
19. En MIPS, quan s'acaba d'executar la RSE, es torna a la instrucció següent a la que ha provocat l'excepció o la interrupció
20. La sincronització dels dispositius d'entrada/sortida en un computador, es gestiona exclusivament per interrupcions