

The Subscalar Microarchitecture for Ultra-Low Power

Doctorand : Ramon Canal
Universitat Politècnica de Catalunya

Director: Antonio González Co-director: James E. Smith
Universitat Politècnica de Catalunya University of Wisconsin-Madison

Projecte de tesis. Departament d'Arquitectura de Computadors. Barcelona, 20 de juny del 2000

Índex (i)

Motivació

- Sistemes "embedded"
- Consum de potència
 - Possibles punts de vista
 - Factors del consum
- Tamany dels operands
- Resum

Objectius

Índex (ii)

Elements del projecte
Estat de l'art
Plataforma
Temporització
Formació complementària

Motivació (i)

Sistemes "embedded"

- "Hot topic"
- Mercat potencial molt gran
 - Des de telèfons mòbils a ordinadors portàtils
- Nous reptes pel disseny del processador (microarquitectura)
 - Fins ara, pocs treballs a nivell de microarquitectura
- Factors importants pels processadors
 - Baix consum d'energia
 - Rendiment similar a un processador sense restriccions de consum

Motivació (ii)

Com solucionar el consum de potència

- A nivell de sistema operatiu
 - Activant/Desactivant parts del sistema ("sleep modes")
- A nivell de compilació
 - Generant codi que utilitzi les unitats funcionals més "barates"
 - Evitant reemplaços a la cache
 - etc.
- A nivell del processador
 - Activant/Desactivant parts del processador ("Power gating")
 - Realitzant un disseny d'un processador que en si consumeixi poc
 - Utilitzant tecnologies conegudes (VLIW).
 - Generant noves alternatives
- A nivell de circuit

Motivació (iii)

Factors de consum de potència

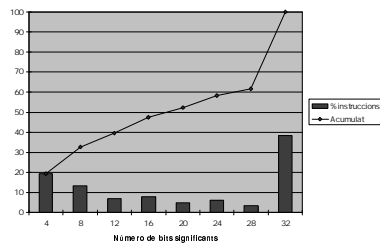
- Estàtic
 - Consum "de facto" del processador
 - Corrents de fuga (Leakage power)
 - Un transistor no aïlla completament la font del terra
- Dinàmic
 - Capacitancies
 - tot transistor emmagatzema energia
 - Curt-circuits
 - Connexió directa entre font i terra en commutar el transistor

Importància en la capacitat d'integració

- Per a tecnologies de dècimes de micra, les capacitancies
- Per a tecnologies de centèsimes de micra el consum estàtic

Motivació (iv)

Distribució del número de bits útils
- Mitja pels Mediabench



Resum de la motivació

Increment de l'importància dels processadors de baix consum

- Controlar el consum, tan estàtic com dinàmic.

El tamany dels operands pot afavorir la reducció del consum

- Aprofitar que els operands no utilitzen tot l'ample de banda del processador

Objectius

Proposar una microarquitectura dissenyada des de zero i encarada al baix consum

Mesurar l'arquitectura respecte a 3 paràmetres: rendiment (CPI), consum (energia i activitat) i complexitat (lògica addicional) per poder-la comparar amb les propostes existents

Adquirir el coneixement sobre modelització, mesura i anàlisi del consum de potència a nivell de microarquitectura

Elements del projecte (i)

Proposta d'una arquitectura bàsica

- Basada en un processador segmentat de 5 etapes (Fetch, Decode, Execute, Memory i Writeback)
- Modificar cada etapa per adaptar-la al fet de tenir els operands més curts
- Fer un datapath de 8 bits, mesurant, també la possibilitat d'utilitzar-ne de 4 ó de 16 bits

Mesurar l'arquitectura base

- Rendiment-consum-complexitat
- Penalitzacions de les instruccions en el disseny
 - Veure els "bottlenecks" de l'arquitectura

Elements del projecte (ii)

Proposta d'una arquitectura equilibrada

- Equilibrar el pipeline de la nova arquitectura

Proposta d'una arquitectura de màxim rendiment

- Intentar veure, si el disseny equilibrat és molt lluny d'un possible disseny agressiu

Elements del projecte (iii)

Evolucionar cap a processadors més complexes

- Mesurar la influència tan en el consum com en el rendiment de mecanismes que donguin més rendiment
 - Predicció de salts, execució fora d'ordre, etc.
- Intentar usar en processadors d'alt rendiment els conceptes aplicats en aquesta arquitectura.
 - Superescalars, multithreading, clustered, etc.

Estudiar l'influència del compilador en el consum de potència

- Mesurar la importància del codi executat en el consum

Estat de l'art

Brooks i Martonosi (HPCA-5)

- Empaquetament d'instruccions amb operands curts per què utilitzin la mateixa unitat funcional
- Similar a una extensió multimèdia (MMX) dinàmica

Sato i Arita (ICS-2000)

- Reducció de les taules dels predictors de valors separant els "petits" dels "grans"

Altres treballs

- Reducció del consum desconnectant parts del processador
- Modelització i estimació del consum



Plataforma

SimpleScalar

- Joc d'instruccions similar al MIPS (molt usat en embedded)
- Avantatges
 - Facilitat de simulació de microarquitectures
 - Fàcilment adaptable per a mesurar el consum
 - El compilador és modificable i el joc d'instruccions també
 - Suport
- Desavantatges
 - No simula un sistema complet (busos de memòria, etc.)

Mediabench

- Suite de programes especialment dissenyada per a les aplicacions embedded (tractament audio/video, encriptació, comunicacions)



Temporització (i)

Juny-Juliol 2000

- Proposta arquitectura bàsica
- Estudi detallat de les seves característiques:
 - Rendiment-consum-complexitat
 - Estudi dels "bottlenecks" trobats

Desembre 2000

- Alternatives per equilibrar l'arquitectura
- Proposta de l'arquitectura equilibrada
- Proposta de l'arquitectura agressiva



Temporització (ii)

Març-Abril 2001

- Estudi previ de quins mecanismes poden ser interessants
- Evaluació de les diferents alternatives

Juny/Juliol 2001

- Incorporació de mecanismes de processadors més complexos

Febrer 2002

- Estudi del possible ús de les tècniques desenvolupades per a processadors superescalars, multithreading, ...



Temporització (iii)

Juny/Juliol 2002

- Estudi de l'influència que pot tenir el codi generat per un compilador sobre el consum.
 - Atacar el consum des de tècniques en temps de compilació

Desembre 2002

- Presentació de la tesis



Formació Complementària

Treballs previs

- Microarquitectures clustered
 - R. Canal, J.M. Parcerisa i A. González, "Dynamic Cluster Assignment Mechanisms", HPCA-6
 - R. Canal, J.M. Parcerisa i A. González, "A Cost-Effective Clustered Architecture", PACT-99
 - R. Canal, J.M. Parcerisa i A. González, "Dynamic Code Partitioning for Clustered Architectures", IJPP (?-2000)
- Lògiques d'issue
 - R. Canal i A. González, "A Low-Complexity Issue Logic", ICS-00

Internships

- Sun Microsystems, Sparc Architecture Group, estiu 2000



Conclusions

The Subscalar Microarchitecture for Low Power

- Processador encarat a baix consum
- Aprofita l'ample dels operands

- Proposta i evaluació de diferents alternatives
- Estudi sobre l'aplicació de les tècniques desenvolupades a les arquitectures ja existents

